

PATENT
0698-0155P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: LEE, E-I et al. Conf.:
Appl. No.: NEW Group:
Filed: August 4, 2003 Examiner:
For: MICRO COOLING AND POWER SUPPLY
STRUCTURE

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

August 4, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN, R.O.C.	092204350	March 20, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

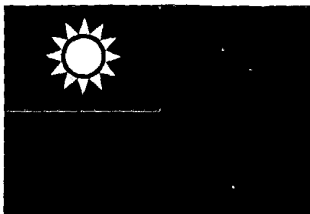
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By Joe McKinney Muncy
Joe McKinney Muncy, #32,334

KM/sll
0698-0155P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)



August 4, 2003
BSLD, WP
(103) 205-2000
0498-01551
1 of 1

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 20 日

Application Date

申請案號：092204350

Application No.

申請人：財團法人工業技術研究院

Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 5 月 14 日

Issue Date

發文字號：09220482640

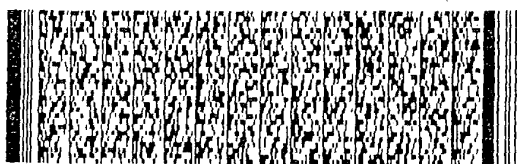
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中文	微型致冷與致電結構
	英文	
二、 創作人 (共4人)	姓名 (中文)	1. 李以露 2. 鄭景亮 3. 饒達仁
	姓名 (英文)	1. 2. 3.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹市東大路一段52巷1號5樓之1 2. 新竹縣竹北市光明十街35巷9號 3. 台北市中正區南福里3鄰羅斯福路二段12號2樓
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 財團法人工業技術研究院
	名稱或姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹縣竹東鎮中興路四段195號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 翁政義
	代表人 (英文)	1.

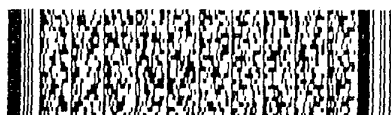


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中文	
	英文	
二、 創作人 (共4人)	姓名 (中文)	4. 黃一德
	姓名 (英文)	4.
	國籍 (中英文)	4. 中華民國 TW
	住居所 (中文)	4. 新竹市金城一路48巷10號
	住居所 (英文)	4.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



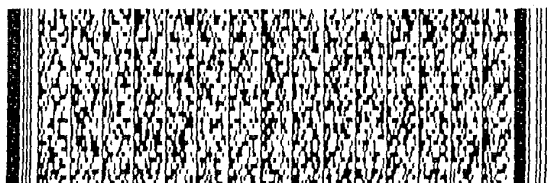
四、中文創作摘要 (創作名稱：微型致冷與致電結構)

一種微型致冷與致電結構，係包括具有一發射表面的發射端晶片，具有與該發射表面相對且相隔有一距離之接收表面的接收端晶片，以及形成於該發射表面上的複數個微懸臂樑元件；其係利用每一微懸臂樑元件上的距離感應單元與位移致動單元，使每一微懸臂樑元件上作為電子發射端的突起部與該接收表面間維持一最適電子穿隧距離，以降低晶片表面平整度與材料低功函數之要求，進而藉該微懸臂樑元件的穿隧距離定位能力，增加電子穿隧至該接收表面之機率，同時達致理想的致冷與致電效率。

本案代表圖：第 1B圖

10 發射端晶片

英文創作摘要 (創作名稱：)



四、中文創作摘要 (創作名稱：微型致冷與致電結構)

10a 發射表面

30 微懸臂樑陣列結構

英文創作摘要 (創作名稱：)



二、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

無

二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

【創作所屬之技術領域】

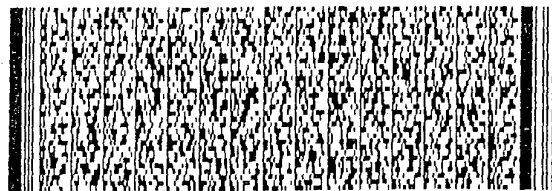
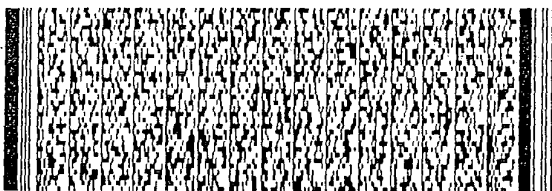
本創作係關於一種電子穿隧式微型致冷與致電結構，尤指一種可降低晶片表面平整度與低功函數材料之要求的電子穿隧式微型致冷與致電結構。

【先前技術】

微型致冷與致電結構係指在一以絕緣層隔開發射端晶片 (Emitter) 與接收端晶片 (Collector) 的晶片組中，利用發射端電子吸收能量脫離其晶格束縛能而傳遞能量之原理，產生電子穿隧 (Electron Tunneling) 而將能量移動至接收端晶片之結構，此一電子穿隧效應將可產生致冷與致電的效果，進而可應用於半導體電子裝置、機械設備、家電、車輛或航空產業中，以於小面積中發揮高散熱效率，或以系統中散逸之廢熱產生額外的電能。

例如第 5A 圖所示，即為微型致冷結構之運作原理，其係於一發射接收晶片組上外加一電源，藉由該電源之電動勢驅動電子脫離發射端之晶格束縛能，而經由絕緣層穿隧至接收端，同時帶走熱量，發揮散熱功能，此即為一熱電式微型致冷晶片組；此外，亦可如第 5B 圖所示，利用位於發射端晶片之外加熱源 (如廢熱)，使該具有較高熱量之發射端熱電子，脫離晶格束縛而往較冷之接收端穿隧，並藉此一傳輸趨勢產生電流發電而形成一熱電式微型致電晶片組，可供應電力至一外加待電系統 (例如冷卻風扇) 而發電。

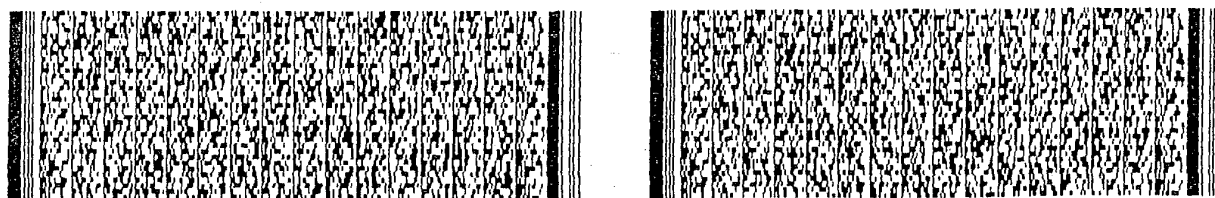
前述之絕緣層一般均係利用真空之低熱傳特性而設計



五、創作說明 (2)

成一真空絕緣層，而該晶格束縛能則係指該發射端晶片表面材料之功函數，亦即將電子由費米 (Femi) 能階激發所需之能量，因此，如何提昇電子穿隧之能量、縮短兩晶片之間距、乃至降低發射端晶片表面材料之功函數，無疑是使電子較易脫離束縛以發生穿隧效應、進而提昇致冷或致電效果的重要因素；如第 6 圖所示，係為根據量子理論所計算之晶片間距、材料功函數、操作溫度、驅動電場強度與散熱效率之關係，由圖可知，當發射端晶片材料之功函數愈小、操作溫度愈高、且晶片間距愈小時，可散逸較高之熱量，亦即具有較佳的致冷與致電效果，惟若觀察圖式曲線，可發現當兩晶片之間距 (真空絕緣層厚度) 過小時，其散熱效率反將逐漸降低，由此可知，如何控制兩晶片之表面平整度與位置，使其真空間距可精準定位至奈米等級，並維持一最適電子穿隧距離，正是此一技術的重要瓶頸所在。

目前發展最為成熟之致冷致電結構係為英國 Borealis Technical Limited 公司所開發之致冷晶片 (Cool Chips) 與致電晶片 (Power Chips)，如第 7A 至 7E 圖所示之美國專利第 6,417,060 號專利，係先以單晶矽 (Monocrystal) 基材 50 作為電子穿隧晶片組之發射端 55，並於該基材上沉積一薄金屬層 51 (例如 Pb、Mo 或 Ti 等)，接著，復如第 7C 圖所示沉積一約 $5\ \mu\text{m}$ 的薄銅層 52，再如第 7D 圖般以電化學 (Electrochemical) 方式成長約 $650\ \mu\text{m}$ 的厚銅層 53，以為電子穿隧之接收端晶片 56，最後，以熱剝離或機械剝離之



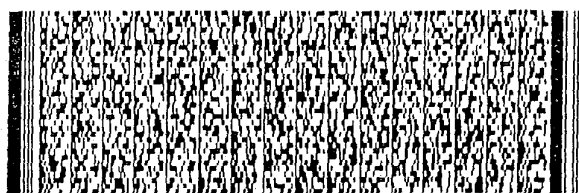
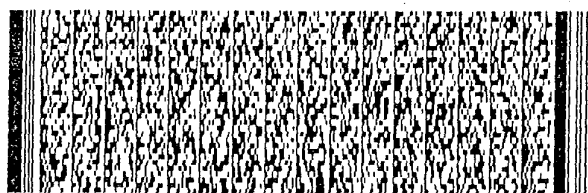
五、創作說明 (3)

方式分離此堆疊層，並利用液態氮去除該基材上之薄金屬層 51，即可得第 7E 圖所示具有相等距離之互補表面的發射端與接收端晶片 55、56，以藉該互補表面降低晶片表面平整度之問題；惟此一設計僅能令兩晶片間維持固定之間隙，並無法維持一不變的最適電子穿隧真空間隙，且當晶片於高操作溫度下受熱膨脹與晶格熱震動等環境因素影響時，該兩晶片之固定真空間距將隨其位置而改變，且此一改變值即便僅有數奈米，亦將大幅影響其致冷與致電效率（如第 6 圖所示）。

此外，該項習知技術亦發展出如第 8A、8B 圖所示之定位平台，以加強定位兩晶片間之真空間距，其中，第 8B 圖係為第 8A 圖之上視圖，其係以四根壓電式定位器 60

(Piezo-Electric Positioner) 移動該接收端晶片 56 以進行奈米級之定位，並搭配三個電感式位置感應器 61 以藉電流之變化控制該壓電式定位器 60 移動；此設計雖可加強該真空間距之距離控制，卻僅能針對整個接收端晶片進行位移，而無法針對晶片上的不同位置進行獨立之位移控制，對於晶片上因環境因素（如熱膨脹）所致之各位置真空間隙不同等問題，顯然仍難以解決，進而將影響操作時的電子隧效率，同時，此一習知方法將加重成本之負擔，亦難達商業市場上之量產規模。

由此可知，所有習知技術中作為電子穿隧路徑的真空間距均非可調式，且該間距值亦往往難以經由奈米定位而維持於一最適電子穿隧距離，導致其致冷與致電之效果下



五、創作說明 (4)

降，且一旦晶片表面之平整度稍有誤差或環境因素改變，電子穿隧之效率即大幅降低，同時亦無法採用具有較高功函數之材料作為發射端晶片，實為商業應用上的一大問題。

因此，綜上所述，如何設計一電子穿隧式微型致冷致電結構，以使其可降低晶片表面平整度之要求，同時可藉其最適電子穿隧距離之定位能力，維持該真空絕緣層之奈米間距，以降低穿隧位能與對晶片表面低功函數材料的需求，達致最佳致冷致電效率，確為此相關技術領域中所亟待研發解決之課題。

【創作內容】

因此，本創作之一目的即在提供一種具有可調式晶片間距之功能的微型致冷與致電結構。

本創作之另一目的即在提供一種可降低晶片表面平整度之要求的微型致冷與致電結構。

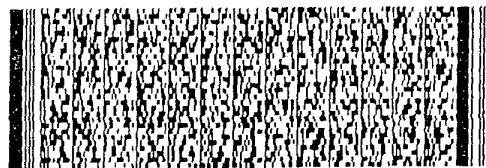
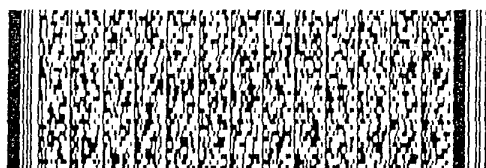
本創作之再一目的即在提供一種可降低晶片表面材料之低功函數要求的微型致冷與致電結構。

本創作之又一目的即在提供一種可進行晶片間距之奈米級定位的微型致冷與致電結構。

本創作之且另一目的即在提供一種可達理想致冷與致電效率的微型致冷與致電結構。

本創作之且再一目的即在提供一種可進行批次量產的微型致冷與致電結構。

為達前述及其他目的，本創作所提供之微型致冷與致

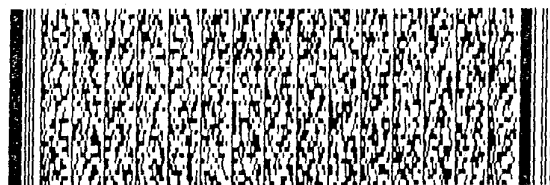
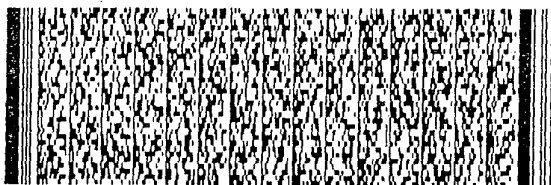


五、創作說明 (5)

電結構，係包括：具有一發射表面的發射端晶片；具有一與該發射表面相對且相隔有一距離之接收表面的接收端晶片；以及形成於該發射表面上的複數個微懸臂樑元件，且每一微懸臂樑元件係至少具有可作為該發射表面上之電子的發射端的突起部，可感應該突起部至該接收表面之距離的感應單元，以及可根據該感應單元之感應結果驅動該微懸臂樑元件，以令該突起部與該接收表面間維持一預定距離的致動單元。

該發射表面與該接收表面間係相互平行，並相隔有一奈米等級厚度之真空絕緣層，而該複數個微懸臂樑元件係以微機電製程技術形成於該發射表面上，並藉該微機電製程之體型 (Bulk) 加工與面型 (Surface) 加工方式形成該突起部、感應單元與致動單元；同時，該複數個微懸臂樑元件係以陣列形式均勻排列於該發射表面之全表面上，並令該突起部與該接收表面間所控制維持的預定距離為一可令該發射表面之電子最易進行電子穿隧效應的最適距離。

因此，本創作即可藉由該微米等級的微懸臂樑元件，達致所需之奈米等級電子穿隧路徑的需求，使該複數個微懸臂樑元件可利用該感應與致動單元及所設定之最適距離，隨著該接收端晶片的表面起伏、或依環境因素之改變而主動調整距離，以隨時維持於用以進行電子穿隧之最適距離，進而可降低晶片表面平整度與材料低功函數之要求，並提昇兩晶片間的奈米定位能力，同時可於運用至電子散熱與廢熱發電時，發揮最佳之致冷與致電效果。

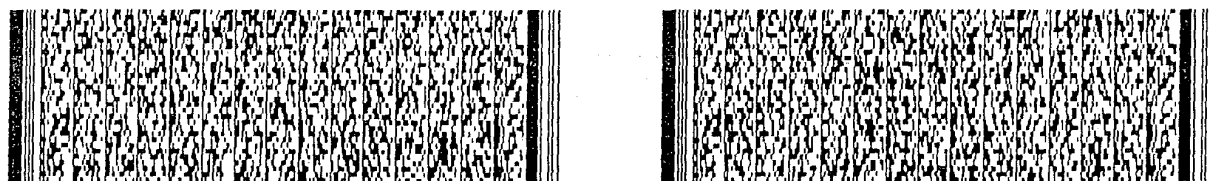


五、創作說明 (6)

綜上所述，藉由本創作之電子穿隧式微型致冷與致電結構，確可提昇發射端晶片進行電子穿隧之機率與穩定性，並降低其製造技術上之限制，同時，並可藉由該微機電製程滿足商業化的量產需求，充分解決了習知結構之問題。

【實施方式】

第 1A、1B 及 1C 圖所示即為本創作之微型致冷與致電結構的較佳實施例，其係配置一具有發射端晶片 10 與接收端晶片 20 的晶片組，並令該發射端晶片 10 具有一發射表面 10a，封蓋於該發射表面 10a 上的接收端晶片 20 則具有一與其相對的接收表面 20a，且兩表面 10a、10b 間係間隔有一具奈米等級厚度的真空絕緣層；接著，於該發射端晶片 10 之發射表面 10a 進行加工，以令其形成如第 1B 圖所示排列有數萬或數十萬組微懸臂樑 31 的微懸臂樑陣列結構 30，以使該發射端晶片 10 中的電子可自該微懸臂樑 31 發射，而經由兩晶片 10、20 間的真空絕緣層進行電子穿隧，其中，第 1B 圖係為該陣列結構 30 的放大示意圖，而第 1C 圖則係單一微懸臂樑 31 的放大示意圖；該陣列結構 30 上的每一微懸臂樑 31 前端均具有一三角狀突起 32，並以該三角狀突起 32 作為該發射端晶片 10 進行電子穿隧時之電子發射端，而該突起端 32 至接收表面 20a 之距離即為該電子之穿隧路徑，同時，該陣列結構 30 上的每一微懸臂樑 31 均具有可調式地位移功能，並與該發射端晶片 10 的晶片控制接點 12 連接，以令每一微懸臂樑 31 可隨著該接收表面 20a 起伏、或依環境

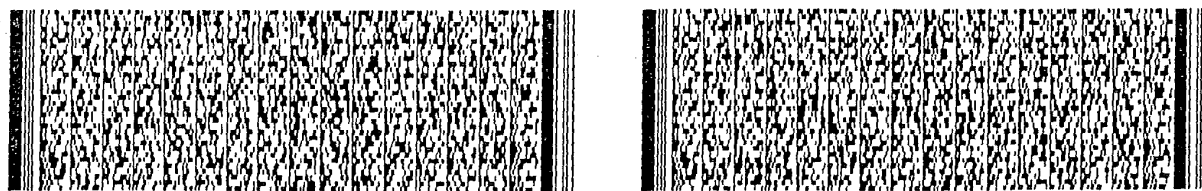


五、創作說明 (7)

因素之改變而主動調整距離，分別進行最適位移之控制，從而與該接收表面 20a 間維持一最適電子穿隧距離。

該微懸臂樑陣列結構 30 係以微機電系統 (MEMS) 加工技術製成，可藉此進行大量且一致的批次製造，並使每一微懸臂樑 31 之尺寸均具有微米等級，而其細部尺寸、陣列排列形式、與排列密度並無一定限制，端視所欲使用的微型致冷與致電系統而定，僅需令每一微懸臂樑 31 具有精準之可調式定位功效，即可藉由該微米級之製程技術，達致所需的奈米級電子穿隧最適路徑；因此，若於本實施例之晶片組結構完成封裝後外加一電源、待散熱系統、或廢熱源，即可發揮高效能之致冷與致電效應，完成電子散熱或廢熱發電等需求。

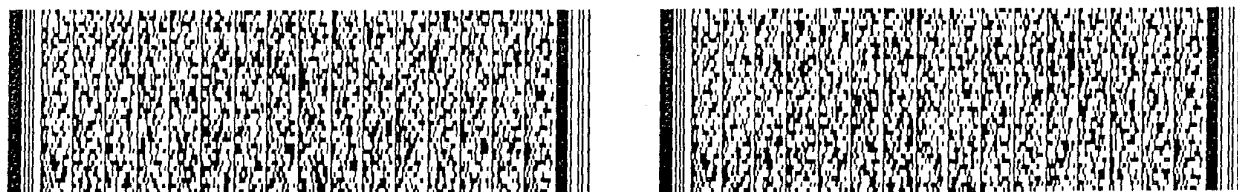
如第 1C 圖所示之微懸臂樑陣列結構 30，係以體型微加工 (Bulk Micromachining) 技術，配合所設計之光罩與材料晶格方向，而以反應性離子蝕刻 (RIE) 法蝕刻出圖示之微懸臂樑陣列結構 30，並使每一微懸臂樑 31 之前端均具有一突起 32 以進行電子穿隧效應，而該三角柱狀之突起形狀係與所使用微懸臂樑 31 材料的晶格方向有關；同時，為使每一微懸臂樑 31 均具有可調式位移功能，可使用面型微加工 (Surface Micromachining) 技術，而於每一微懸臂樑 31 上製作可感應距離並藉以調整該微懸臂樑 31 位置的轉換元件 (Transducer)，該轉換元件係至少包括一感應單元 34 與一致動單元 33，本實施例中該轉換元件係設計成一壓阻式感應器 (Piezo-resistive Sensor) 與壓電式致動器



五、創作說明 (8)

(Piezo-electric Actuator)之組合，其係於該微懸臂樑 31 上依預先設計之電路鍍上壓阻與壓電材料，以形成一具有壓阻效應的距離感應器 34 (含與其相對應的感應電路)，藉以感應該微懸臂樑 31 前端突起 32 與該接收表面 20a 間的真空絕緣層距離 (亦即電子穿隧路徑)，並可視該感應值大小而決定欲通入該壓電式致動器 33 (含與其相對應的致動電路)之電壓值，該致動器 33 可依通入之電壓而產生壓電效應，使電能轉換成機械能，進而發生形變而驅動該微懸臂樑 31 位移，本實施例採用壓電式之致動方式係考量其反應速度快與位移輸出穩定等優點，惟該感應器 34 與致動器 33 並不限於本實施例所揭示之形式，可視設計者之效能需求與成本而定；第 2A 至 2D 圖即為本實施例之微懸臂樑陣列結構 30 的其中一微懸臂樑 31 加工流程側視圖，惟微機電加工技術已為一發展成熟之製程技術，前揭結構之製造亦同樣不限於圖示之加工製程，許多已知的等效製程亦可製出具有近似效果的陣列結構 30。

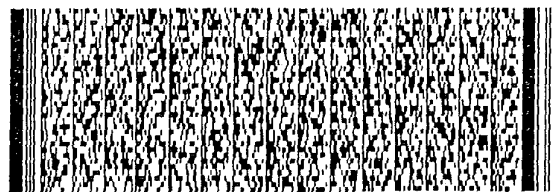
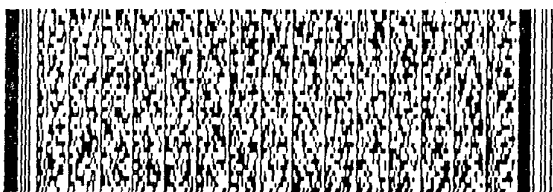
第 3 圖所示即為該微懸臂樑 31 上的轉換元件之運作流程圖，當該感應器 34 藉由壓阻效應測出該微懸臂樑 31 前端突起 32 與該接收表面 20a 間之距離後，此一距離值即被傳送至一與晶片組控制接點 12 連接的控制單元，假若該距離值過大，亦即該電子穿隧路徑距離較其最適距離為大，此時自發射端晶片 10 穿隧進入該接收端晶片 20 的電子數量將降低 (因穿隧位能高，穿隧機率小)，該控制單元便將依據該過小之距離值，經由控制電路，令該致動器 33 接受一較



五、創作說明 (9)

大電壓而使該微懸臂樑 31 產生壓電式形變，以令其前端突起 32 朝該接收端晶片 20 移動，縮小兩者間之真空絕緣層間距直至相距該最適電子穿隧距離，以令電子穿隧機率達致最大；反之，當該感應器 34 所感應之距離值過小或該前端突起 32 已與該接收表面 20a 發生接觸時，電子穿隧效能亦將因而降低，此時該微懸臂樑 31 即受前述之電路迴路驅動而產生反向形變，以增加前端突起 32 與該接收表面 20a 間之距離；該圖式僅為微懸臂樑 31 上之轉換元件的基本運作流程，其細部運作配置與電路設計則可視微懸臂樑尺寸或所選用之轉換元件種類而定。

而由於發射端與接收端晶片 10、20 之表面平整度不一，且該微懸臂樑陣列結構 30 中每一微懸臂樑 31 的加工精度亦不盡相同，因此每一微懸臂樑 31 之前端突起 32 與該接收表面 20a 的距離並不全然相同，但由於每一微懸臂樑 31 均如前述配置有各自獨立的轉換元件（感應器 34 與致動器 33），因此將可依據其各自感應之電子穿隧距離調整該微懸臂樑 31 位移，進而使整個陣列結構 30 上的所有微懸臂樑 31 前端突起 32 與該接收表面 20a 間均相距一固定最適距離；同時，隨著操作時溫度改變與外界震動等因素之影響，亦可能使晶片產生膨脹收縮或晶格熱震動等熱擾動現象，使已調整好之電子穿隧距離隨不同位置的微懸臂樑 31 而有大小不一的改變，此時亦可藉由各微懸臂樑 31 上之轉換元件分別產生的形變，使其回復至先前最適位置；因此，僅需藉由前述之微懸臂樑 31 上轉換元件設計，即可藉



五、創作說明 (10)

該穿隧距離的可調式功能，使所有位置之穿隧距離均定位於一電子穿隧機率最高且穿隧位能最低的最適路徑，該可調式功能將可充分降低對晶片平整度與微懸臂樑製作精度之要求，亦可避免操作環境對電子穿隧距離之影響，而達至奈米級最適路徑的定位；同時，藉由該定位功能，即可降低對晶片表面之低功函數材料需求，僅需以具有一般功函數之材料（例如功函數大於 1.2 eV 之材料）即可達致理想的致冷致電功效。

由此可知，藉由本創作之微懸臂樑陣列結構 30 的可調式與奈米定位能力，使用者僅需設定不同的操作條件，即可發揮最佳致冷致電效果，例如外加一電壓於該兩晶片 10、20 間，使發射端之穿隧電子吸收熱能而經由該微懸臂樑突起 32 穿隧至接收端，產生散熱，此即一微型致冷結構；或者亦可利用具有較高能階的發射端熱電子，藉其穿隧至低能階接收端之效應，產生電流而發電，此即一微型致電結構。

欲達致本創作之功效，除前揭之較佳實施例外，亦有其他許多等效結構，例如其他形式或具其他發射端的微懸臂樑，或懸臂式的薄膜等，亦均可以相近之製程設計加工，同時，該微懸臂樑上的感應器與致動器亦有許多等效選擇，例如第 4 圖所示之單一微懸臂樑結構側視圖，此第二實施例即係以一靜電式 (Electrostatic) 致動器 43 取代前述之壓電式致動器 33，其係施加一電壓於該微懸臂樑 41 與該發射端晶片 10 表面間，並藉由兩者電位差所致之靜電



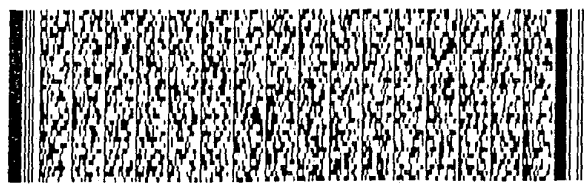
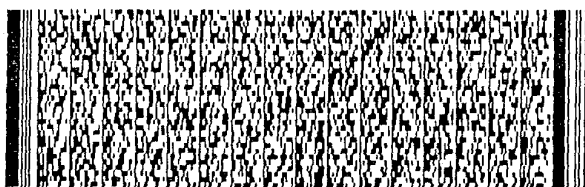
五、創作說明 (11)

力驅動該微懸臂樑 41 位移以調整一最適真空間距，而該施加電壓值即視微懸臂樑 41 上的感應器所測距離值而定，若所施電壓值愈大，該微懸臂樑 41 受驅動之位移量亦愈大，此第二實施例同樣具有位移輸出穩定與控制性佳之優點，同時，該靜電式致動器 43 尚兼有製作簡易與低材料成本之功效。

此外，除前述二實施例外，本創作各微懸臂樑上之轉換元件尚可替換成其他各形式之微型感應器與微型致動器，例如依電容感應、電感感應、光學感應與電子穿隧式感應等原理而以微機電製程加工而成之感應元件，或者依電容致動、電感致動、電磁力致動、記憶合金致動與熱致動等方式製成之致動元件，端視使用者之製造成本與定位需求而定，例如，若考量於較惡劣之環境使用，即可考慮採用電磁力式致動器，而若對尺寸精度要求較低時，則可考慮採用熱致動式致動器等。

因此，本創作之設計僅需藉由可控制之微懸臂樑結構，對該發射端與接收端晶片之間距進行奈米級定位即可，故該微懸臂樑陣列結構並非僅限於形成在該發射端晶片上，亦可將其設計加工於該接收端之晶片表面，同時令發射端表面形成陣列式電子放射尖端，亦可達致相同的定位功效，惟此一點對點形式之電子穿隧路徑將較難掌握電子之穿隧機率與方向位置，亦較難估量該結構所能達成的致冷致電功效。

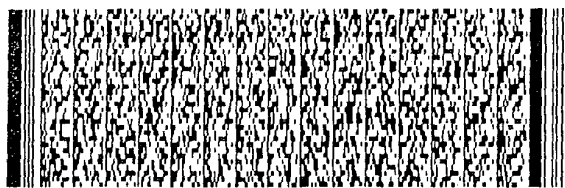
綜上所述，本創作之微型致冷與致電結構確具有可降



五、創作說明 (12)

低晶片表面平整度與結構精度需求之功效，同時可藉其對最適電子穿隧距離之定位能力，維持該真空絕緣層之奈米間距，以降低穿隧位能與對晶片表面低功函數材料的需
求，達致最佳致冷致電效率，此外，復可藉由該可批次製造之微機電製程，實施商業化之量產。

惟以上所述者，僅為本創作之具體實施例而已，並非用以限定本創作之範圍，舉凡熟習此項技藝者在本創作所揭示之精神與原理下所完成的一切等效改變或修飾，仍應皆由後述之專利範圍所涵蓋。



圖式簡單說明

【圖式簡單說明】

第 1A 至 1C 圖係本創作之微型致冷與致電結構的較佳實施例示意圖；

第 2A 至 2D 圖係本創作較佳實施例之微懸臂樑結構的加工流程側視圖；

第 3 圖係本創作較佳實施例之微懸臂樑結構的運作流程方塊圖；

第 4 圖係本創作第二實施例之微懸臂樑結構運作示意圖；

第 5A 圖係為微型致冷效應之示意圖；

第 5B 圖係為微型致電效應之示意圖；

第 6 圖係電子穿隧效應所致之致冷致電現象的曲線比較圖；

第 7A 至 7E 圖係習知之微型致冷與致電結構的加工流程圖；

第 8A 圖係習知微型致冷與致電結構側視圖；以及

第 8B 圖係第 8A 圖所示之習知微型致冷與致電結構上視圖。

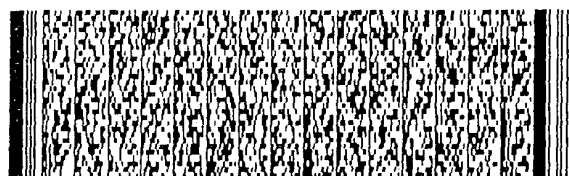
10 發射端晶片

10a 發射表面

12 晶片控制接點

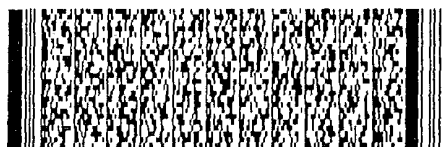
20 接收端晶片

20a 接收表面



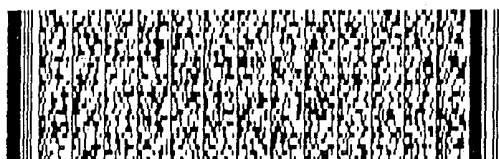
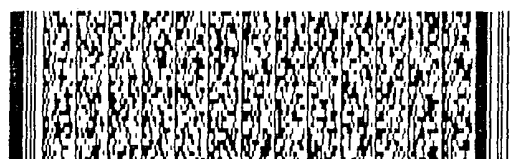
圖式簡單說明

- 30 微懸臂樑陣列結構
- 31 微懸臂樑
- 32 前端突起
- 33 致動單元
- 34 感應單元
- 41 微懸臂樑
- 43 靜電式致動器
- 50 單晶矽基材
- 51 薄金屬層
- 52 薄銅層
- 53 厚銅層
- 55 發射端晶片
- 56 接收端晶片



六、申請專利範圍

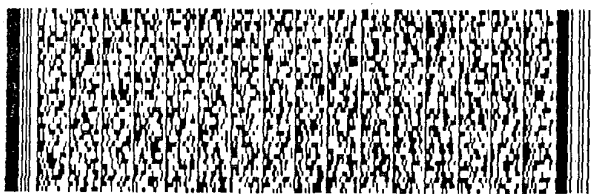
1. 一種微型致冷與致電結構，係包括
一發射端晶片，係具有一發射表面；
一接收端晶片，係具有一與該發射表面相對且相隔有一距離的接收表面；以及
形成於該發射表面上的複數個微懸臂樑元件，且每一微懸臂樑元件係至少具有可作為該發射表面上之電子發射端的突起部，可感應該突起部至該接收表面之距離的感應單元，以及可根據該感應單元之感應結果而令該突起部與該接收表面間維持一預定距離的致動單元。
2. 如申請專利範圍第1項之微型致冷與致電結構，其中，該複數個微懸臂樑元件係以微機電製程技術形成於該發射端晶片之發射表面上。
3. 如申請專利範圍第1項之微型致冷與致電結構，其中，該複數個微懸臂樑元件係以陣列形式均勻排列於該發射表面之全表面上。
4. 如申請專利範圍第1項之微型致冷與致電結構，其中，該突起部與該接收表面間所控制維持的預定距離係為一可令該發射電子最易產生電子穿隧效應的最適距離。
5. 如申請專利範圍第1項之微型致冷與致電結構，其中，該突起部係為一根據該微懸臂樑元件之材料晶格方向而成形的三角柱狀突起。
6. 如申請專利範圍第1項之微型致冷與致電結構，其中，



六、申請專利範圍

該感應單元係包括一感應器及與其相對應之感應電路。

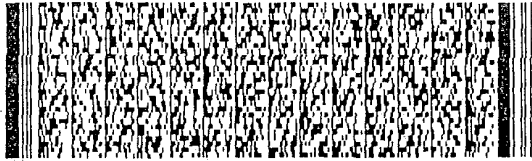
7. 如申請專利範圍第1項之微型致冷與致電結構，其中，該致動單元係包括一致動器及與其相對應之致動電路。
8. 如申請專利範圍第6項之微型致冷與致電結構，其中，該感應器係選自由壓阻式、電容式、電感式、光學式與電子穿隧式等微感應器所組成之組群之一者。
9. 如申請專利範圍第7項之微型致冷與致電結構，其中，該致動器係選自由壓電式、電容式、電感式、靜電力式、磁力式、記憶合金式與熱致動式等微致動器所組成之組群之一者。
10. 如申請專利範圍第1項之微型致冷與致電結構，其中，該發射表面與該接收表面間係相互平行。
11. 如申請專利範圍第1項之微型致冷與致電結構，其中，該發射表面與該接收表面間係相隔一奈米等級之距離。
12. 如申請專利範圍第1項之微型致冷與致電結構，其中，該發射表面與該接收表面間係相隔一真空絕緣層。
13. 如申請專利範圍第1項之微型致冷與致電結構，其中，該發射端晶片與接收端晶片間係可施加一電位差，以令該發射表面之電子產生電子穿隧而移動至該接收表面，形成一微型致冷結構。
14. 如申請專利範圍第1項之微型致冷與致電結構，其中，



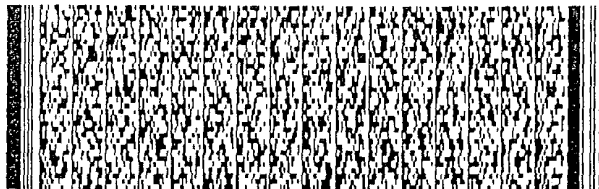
六、申請專利範圍

該發射端晶片係可吸收一熱源之熱量，以令該發射表面之電子產生電子穿隧而移動至該接收表面，形成一微型致電結構。



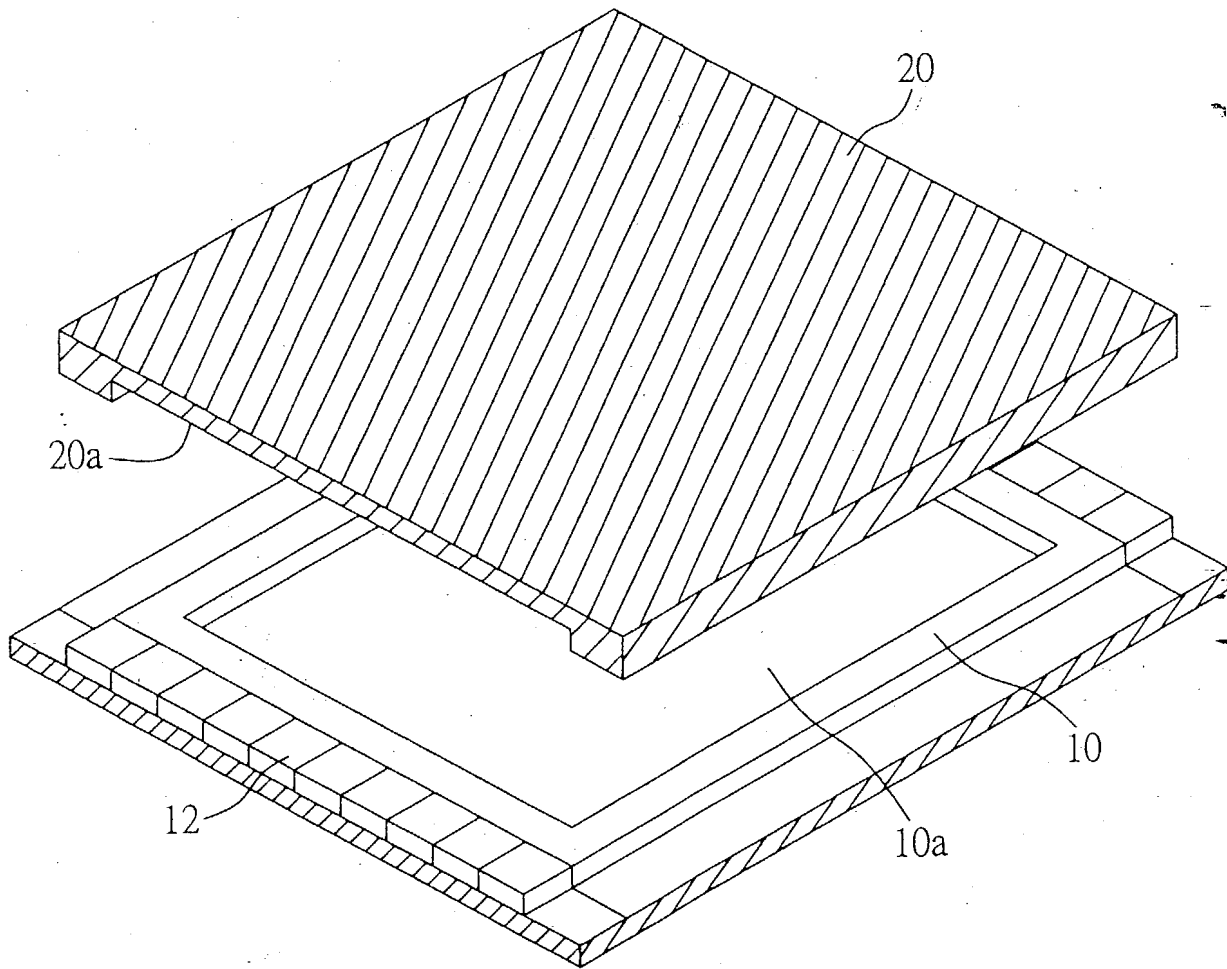


第 21/22 頁

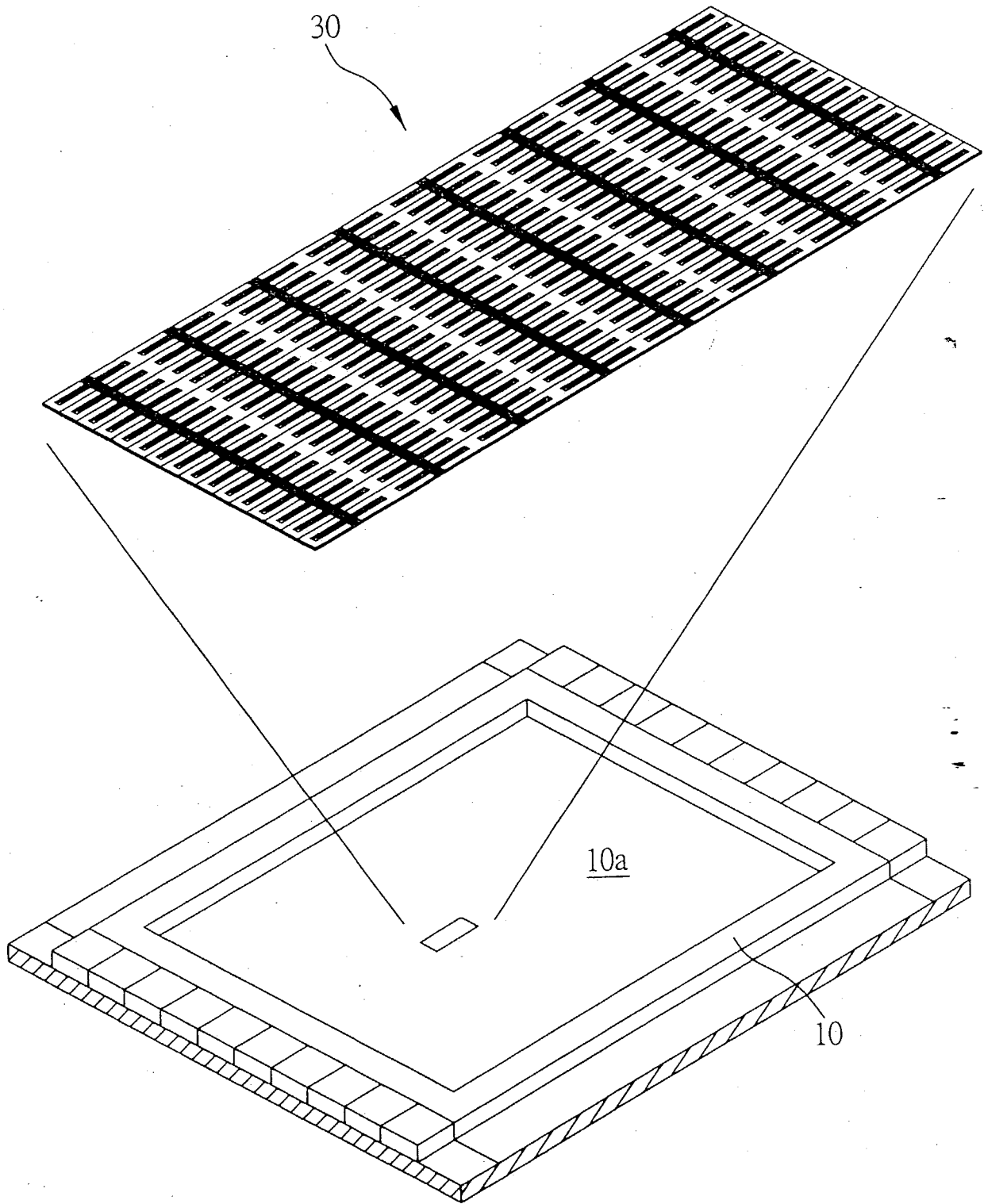


第 22/22 頁

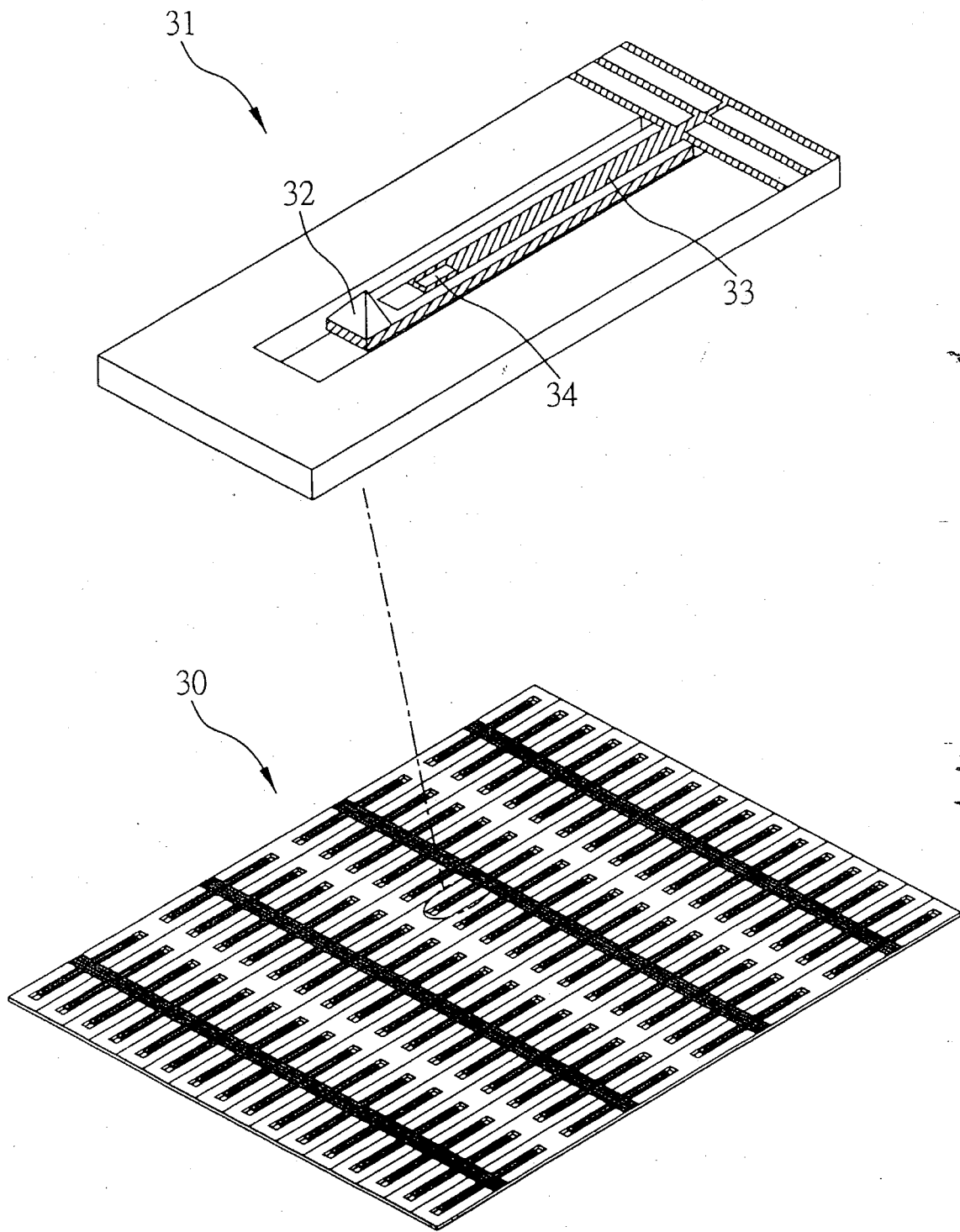




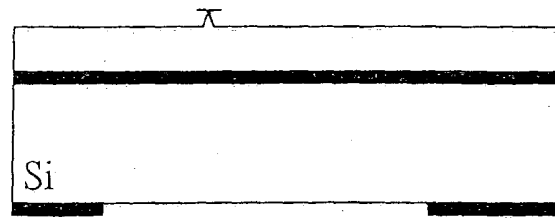
第 1A 圖



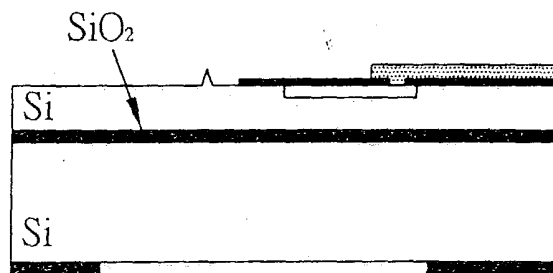
第 1B 圖 (代表圖)



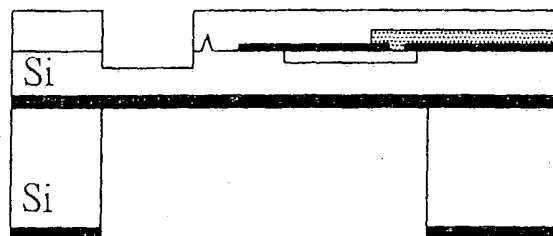
第 1C 圖



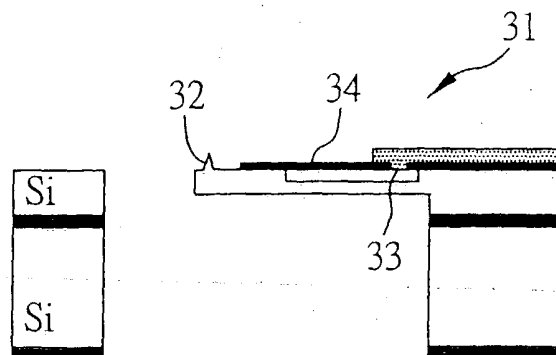
第 2A 圖



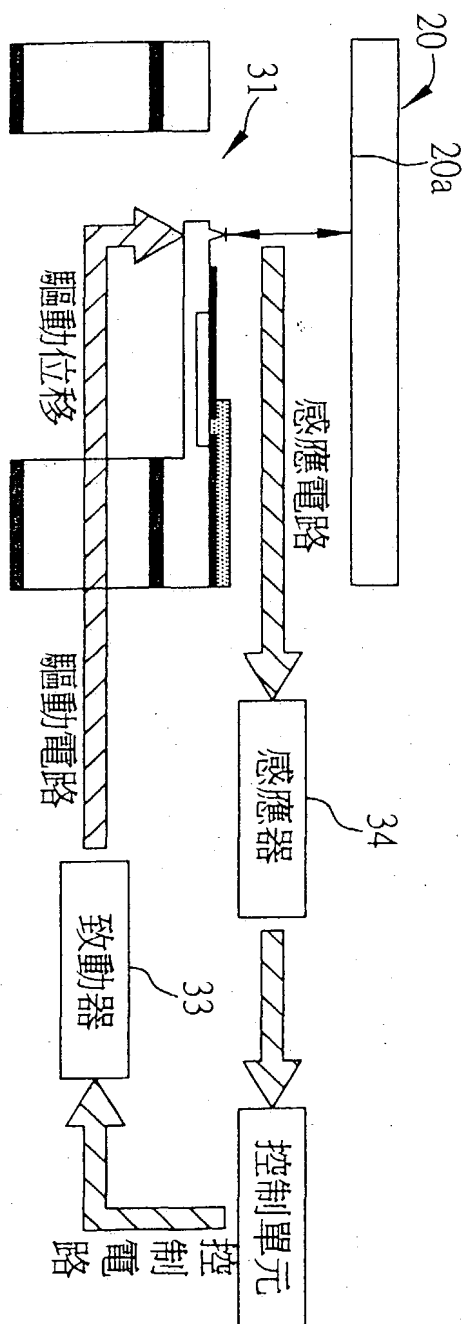
第 2B 圖



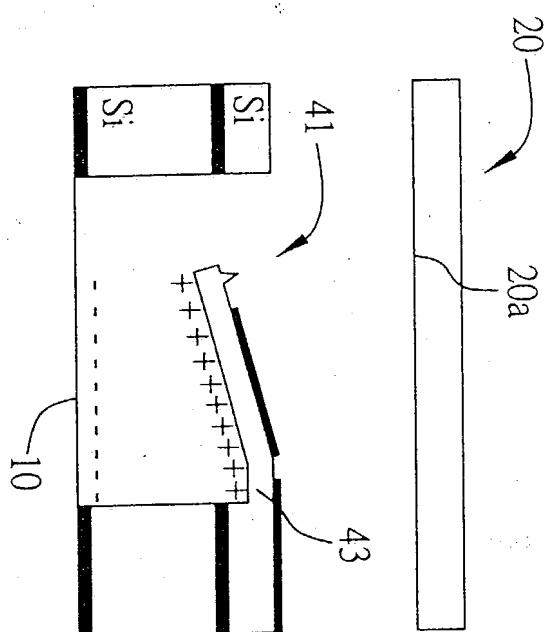
第 2C 圖



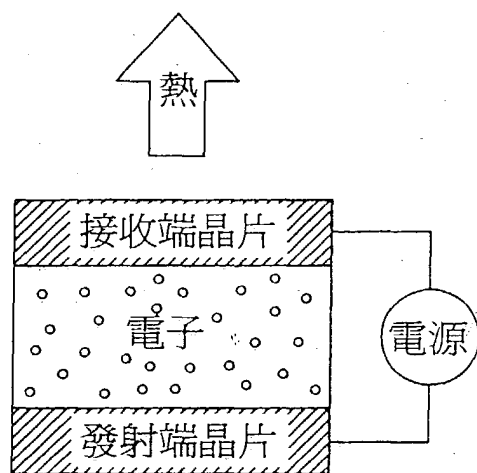
第 2D 圖



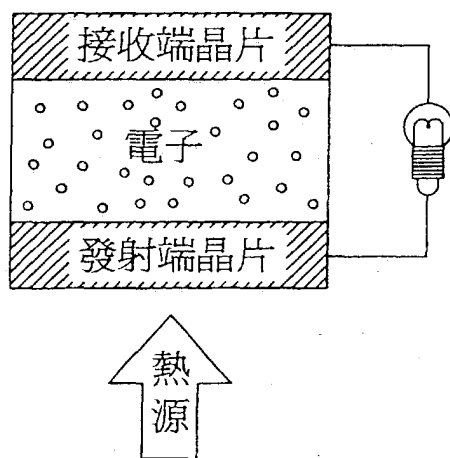
第3圖



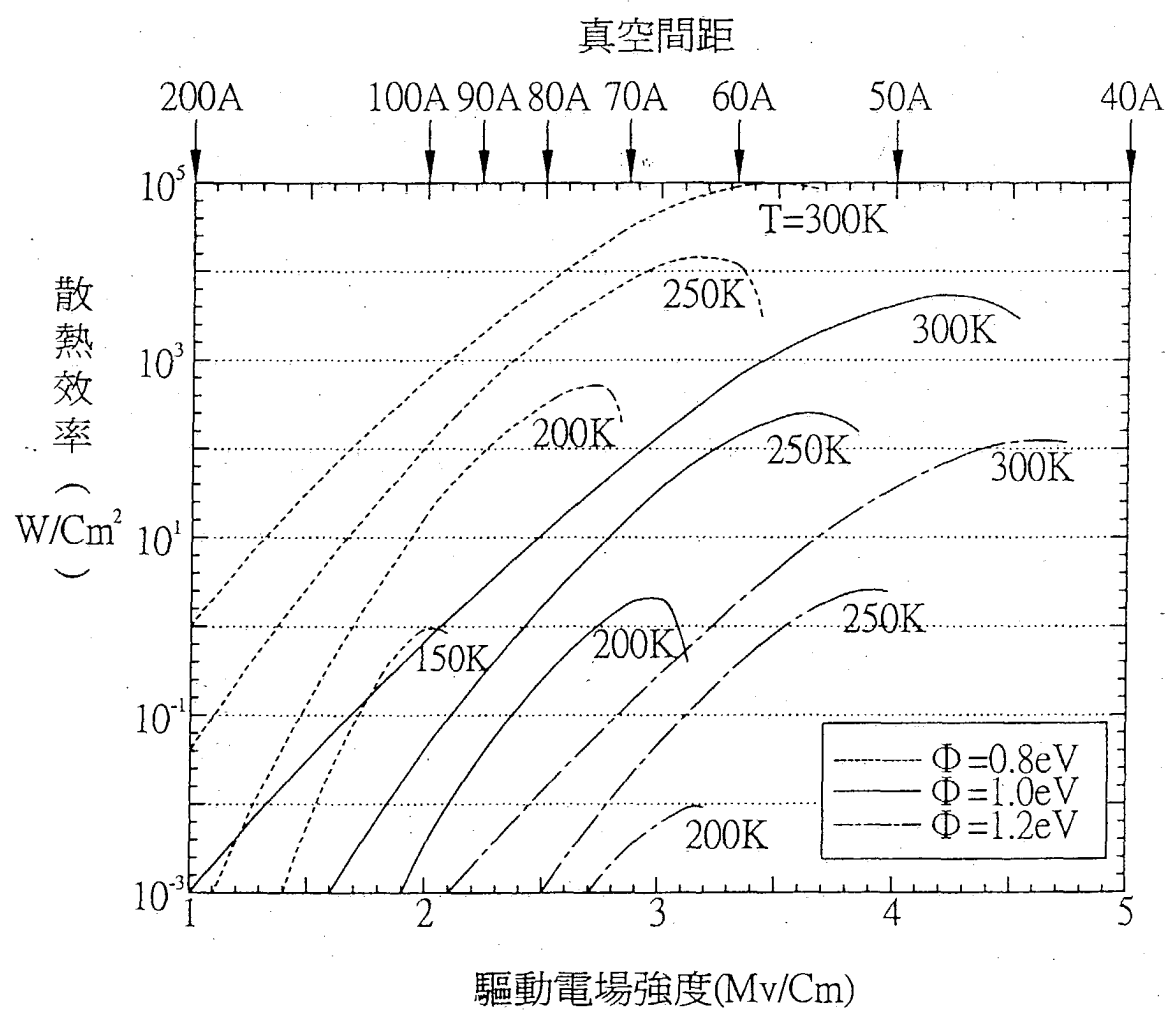
第4圖



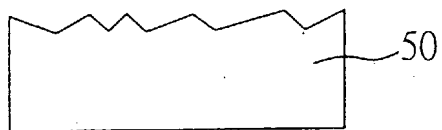
第 5A 圖



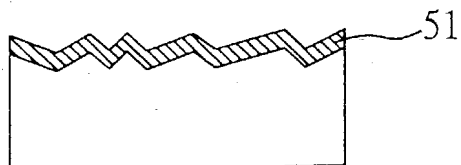
第 5B 圖



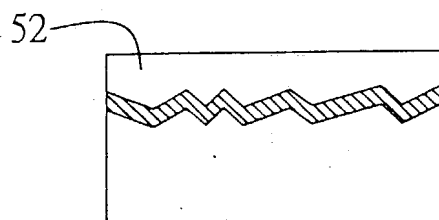
第 6 圖



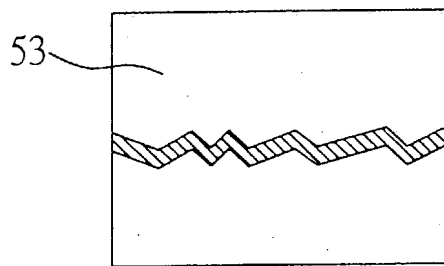
第 7A 圖 (先前技術)



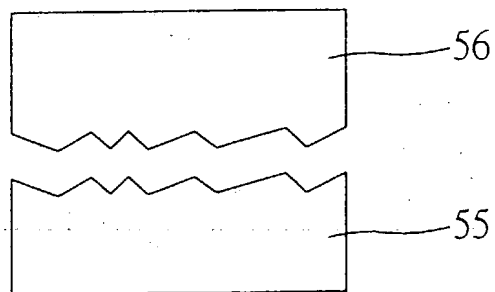
第 7B 圖 (先前技術)



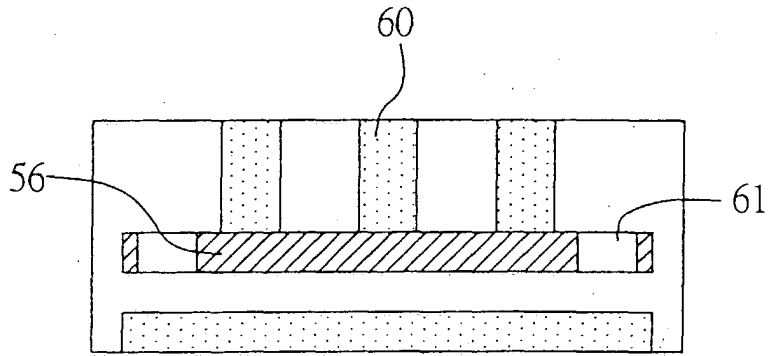
第 7C 圖 (先前技術)



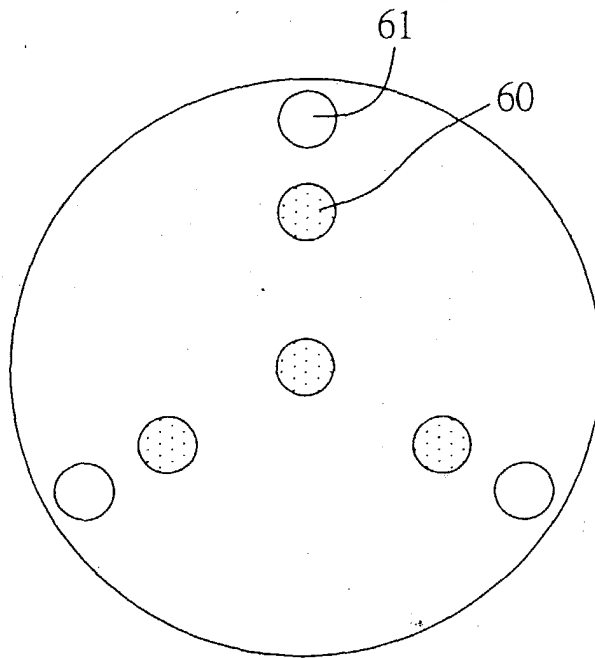
第 7D 圖 (先前技術)



第 7E 圖 (先前技術)



第 8A 圖 (先前技術)



第 8B 圖 (先前技術)